

文章编号: 1674-8085(2017)04-0052-05

一种 FPGA 结构描述文件到布线资源图的转换系统

*冷 明¹, 孙凌宇¹, 周 宇², 杨 威¹

(1. 井冈山大学电子与信息工程学院, 江西, 吉安 343009; 2. 井冈山大学网络信息中心, 江西, 吉安 343009)

摘 要: 作为描述 FPGA 硬件资源的结构描述文件, 不仅能被解析以抽取 FPGA 芯片内部的结构信息, 并且能被转换到布线资源图以获得 FPGA 可编程布线资源的通用抽象模型。采用有向图来构建 FPGA 布线资源图和描述 FPGA 拓扑结构, 其中 FPGA 的每个逻辑块端口或互连线段对应于布线资源图的顶点, FPGA 的逻辑块端口与互连线段、互连线段之间的可编程通路构成了布线资源图的有向边集。然后阐述了 FPGA 结构描述文件到布线资源图转换系统的流程图, 还给出了 FPGA 结构描述文件编译所需的 EBNF 表达式和结构线网到布线资源图的自顶向下转换算法。最后, 在 Windows 平台下用 C++ 实现了该转换系统, 并选用 Virtex-6 型号 Slice 结构测试用例, 进行了 FPGA 结构描述文件到布线资源图的转换, 验证了 FPGA 结构描述文件到布线资源图转换系统的正确性和有效性。

关键词: 现场可编程门阵列; 结构描述文件; 布线资源图; 解析; 转换

中图分类号: TP391

文献标识码: A

DOI:10.3969/j.issn.1674-8085.2017.04.009

AN EFFECTIVE CONVERTER TO TRANSLATE FPGA ARCHITECTURE DESCRIPTION FILE INTO INTERCONNECTION RESOURCE GRAPH

*LENG Ming¹, SUN Ling-yu¹, ZHOU Yu², YANG Wei¹

(1. School of Electronics and Information Engineering, Jinggangshan University, Ji'an, Jiangxi 343009, China;

2. Network information center, Jinggangshan University, Ji'an 343009)

Abstract: The FPGA architecture description file, which describes the hardware resources, is not only used to parse for the extraction of the internal structure information inside FPGA chip, but also used to translate into the interconnection resource graph, which is the general abstract model of FPGA programmable interconnection resources. We adopt the digraph to describe the FPGA interconnection resource and the topological structure, whose vertex can be considered as the port of module or interconnection line and directed edge can be represented as the programmable channel between the ports of module with interconnection lines. Furthermore, we are not only present the workflow of the converter to translate FPGA architecture description file into interconnection resource graph, but also give the EBNF expression of the compiler and the top-down translate algorithm. Finally, we implement the converter in Windows OS and C++. The experiment of the slice model of Xilinx's Virtex-6 shows that the converter could translate FPGA architecture description file into interconnection resource graph. The correctness and effectiveness of the converter based on the top-down translate algorithm is also proved by the experiment.

Key words: FPGA; architecture description file; interconnection resource graph; parse; translate

收稿日期: 2017-03-25; 修改日期: 2017-04-14

基金项目: 国家自然科学基金项目(61363014); 江西省青年科学家培养对象计划(20153BCB23003); 江西省科技厅支撑项目(20132BBE50048); 江西省自然科学基金项目(20161BAB202050); 江西省教育厅科学技术研究项目(GJJ150779, GJJ16079)

作者简介: *冷 明(1975-), 男, 江西高安人, 教授, 博士, 主要从事 VLSI 算法分析与设计, 组合分析与优化等方面的研究(E-Mail:lengming@jgsu.edu.cn);

孙凌宇(1976-), 女, 江西永丰人, 教授, 硕士, 主要从事电子设计自动化, 组合算法等方面的研究(E-Mail:lzymsly@gmail.com);

周 宇(1974-), 男, 江西永新人, 高级实验师, 硕士, 主要从事组合分析与优化方面的研究(E-Mail:zy@jgsu.edu.cn);

杨 威(1978-), 男, 江西泰和人, 讲师, 博士生, 主要从事算法分析与设计方面的研究(E-Mail:yangwei1978@sina.com).

0 引言

随着超大规模集成电路技术的发展, VLSI 的制造工艺已从深亚微米工艺时代进入纳米工艺时代, 国际半导体技术蓝图报告^[1]预测 2020 年 VLSI 特征尺寸将减少到 5 nm。现场可编程门阵列 FPGA 的规模急剧增加, 极大地扩充了 FPGA 中逻辑功能模块的种类和数量, 集成了越来越多的 IP 模块, 极大地提升了 FPGA 器件应用的灵活性和硬件并行的处理性能。

VPR (Versatile Placement and Routing for FPGAs) 集 FPGA 布局和布线为一体的开发探索、架构参数、性能评估功能的最新 EDA 工具, 为 FPGA 架构研究提供了便利手段^[2-3]。作为描述 FPGA 硬件资源的结构描述文件, 不仅是 VPR 布局布线工具的重要组成元素, 而且用于验证和评价 FPGA 芯片结构并调整优化 FPGA 结构参数。进而, 基于 FPGA 结构描述文件构建的布线资源图, 作为 FPGA 布局布线工具、FPGA 硬件软件 IP 核、FPGA 硬件开发平台之间相互沟通的桥梁, 是 FPGA 中的可编程布线资源的一种通用抽象模型^[4]。

本文通过阐述 VPR 布局布线的工作流程, 不难发现 FPGA 的结构描述文件到布线资源图的转换, 不仅仅是 FPGA 布线资源建模的需要, 更是 VPR 布局布线过程中重要的环节。本文针对 FPGA 结构描述文件到布线资源图转换的需要, 解析 VPR 的结构描述文件以获得 FPGA 芯片内部的通道、开关、逻辑资源、布线资源等结构信息。进而, 本文不但阐述了 FPGA 结构描述文件到布线资源图转换系统的流程图, 而且给出了 FPGA 结构描述文件中 <complexblocklist> 逻辑块结构线网到布线资源图的自顶向下转换算法, 并在 Windows 平台下用 C++ 设计实现了该转换系统。最后, 本文选用 Virtex-6 型号 Slice 结构测试用例, 实现了 FPGA 结构描述文件到布线资源图的转换, 从而验证了 FPGA 结构描述文件到布线资源图的自顶向下转换算法的有效性。

2 VPR 的 FPGA 结构描述文件的解析^[5]

2.1 VPR 的工作流程

VPR 输入 FPGA 设计的逻辑单元块网表文件和 FPGA 硬件资源的结构描述文件。其中, FPGA 设计采用 “.net” 格式的逻辑单元块网表文件来表示, 存储所需要布局布线的逻辑网表; FPGA 硬件资源采用 “.xml” 格式的结构描述文件来表示, 存储 FPGA 芯片的版图和布线结构^[2]。首先, VPR 对 FPGA 结构描述文件进行词法语法分析和中间代码生成, 解析生成相应的布线资源图。然后, VPR 依据网表文件构造 FPGA 设计相应的逻辑网表, 实现逻辑网表在物理存储空间中的表示, 进而对逻辑网表完成布局; 在完成布局后, VPR 在布线资源图上, 按照布线算法进行全局布线或者全局兼详细布线^[3]。由此可见, 正确完整地描述 FPGA 硬件资源并生成相应的 FPGA 结构描述文件, 实现到布线资源图的转换, 是 VPR 布局布线过程中重要的环节。

2.2 VPR 的 FPGA 结构描述文件的解析

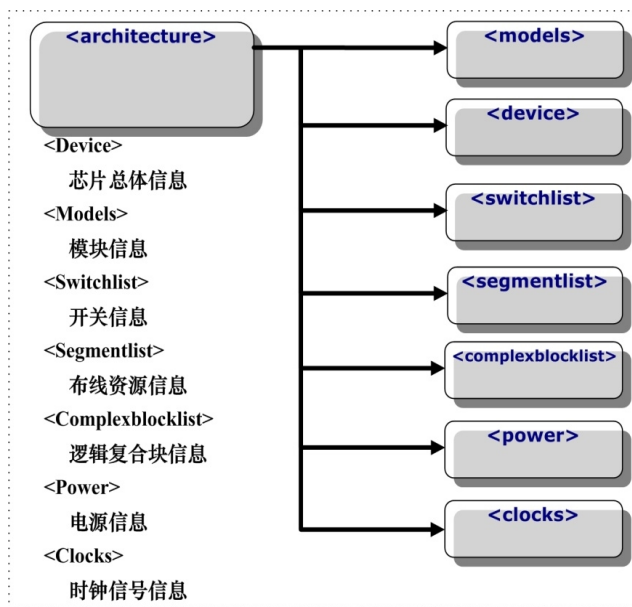


图 1 FPGA 结构描述文件的架构图

Fig.1 The architecture diagram of VPR architecture description file

VPR 的 FPGA 结构描述文件采用 XML 可扩展标记语言来描述 FPGA 芯片内部的通道、开关、逻辑资源、布线资源等结构信息, 具有易于掌握和使用、形式与内容分离、解析器开放源代码、良好的扩展性等优点^[6]。XML 文件以层次化嵌套的开始标签和结束标签组成, 每组标签内有附加说明和可选的属性值和内容。

FPGA 结构描述文件的架构如图 1 所示, 以 `<architecture>` 作为根标记, 对应一个 FPGA 硬件设计, 它包含 `<device>` 芯片总体信息、`<models>` 模块信息、`<switchlist>` 开关信息、`<segmentlist>` 布线资源信息、`<complexblocklist>` 逻辑复合块信息、`<power>` 电源信息和 `<clocks>` 时钟信号信息^[7]。

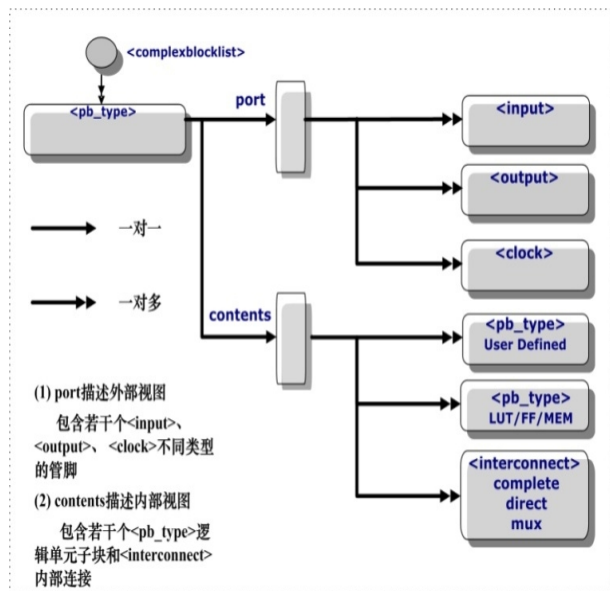


图 2 FPGA 结构描述文件的 `<complexblocklist>` 组成图

Fig.2 The `<complexblocklist>` component diagram of VPR architecture description file

FPGA 结构描述文件的 `<complexblocklist>` 组成如图 2 所示, `<complexblocklist>` 包含若干个 `<pb_type>` 逻辑单元块; 每个逻辑单元块 `<pb_type>` 由 `port` 和 `contents` 两部分组成, 其中 `port` 描述外部视图, 包含若干个 `<input>`、`<output>`、`<clock>` 不同类型的端口, 且端口可以指定 `port_class` 属性为地址信号(address)、输入数据信号(data_in)、输出数据信号(data_out)、写使能信号(write_en)和时钟信号(clock); `contents` 描述内部视图, 包含若干个 `<pb_type>` 逻辑单元子模块和 `<interconnect>` 内部连接。`<pb_type>` 逻辑单元块可以指定 `class` 属性为查找表(lut)、触发器(flipflop)和存储器(memory)。`<interconnect>` 内部连接包含 `<complete>` 全互连、`<direct>` 直连、`<mux>` 多路选择连接三种类型。

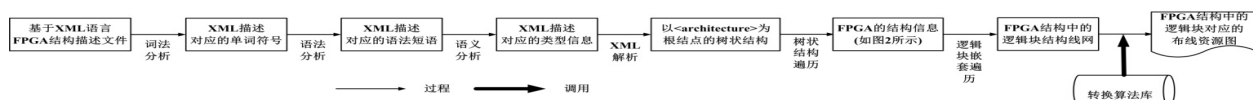


图 3 FPGA 结构描述文件到布线资源图转换系统的流程图

Fig.3 The workflow of converter to translate FPGA architecture description file into interconnection resource graph

3 FPGA 结构描述文件到布线资源图的转换流程及算法

FPGA 布线资源图采用有向图的形式来描述 FPGA 的拓扑结构, 包括布线资源, 以及布线资源之间的连接关系。其中, FPGA 的每个逻辑块端口或互连线段对应于布线资源图的一个顶点, 它们的集合构成布线资源图的顶点集合; 布线资源图顶点之间的连接, 即 FPGA 的逻辑块端口与互连线段、互连线段之间的可编程通路, 构成了布线资源图的有向边集; 布线资源图中每条有向边的两端顶点, 对应于可编程通路两端所连接的逻辑块端口或互连线段。例如: 单向的开关, 如缓冲器, 抽象成一条有向边; 双向的开关, 如晶体管, 抽象成方向相反的一对有向边。

3.1 FPGA 结构描述文件到布线资源图转换系统的流程

基于 VPR 布局布线问题的需要, 我们设计并实现了 FPGA 结构描述文件到布线资源图的转换系统, 具体流程如图 3 所示, 具体步骤为: ①对基于 XML 语言 FPGA 结构描述文件进行词法分析, 即从左到右逐个读入该电路的源代码, 对构成源代码的字符流进行扫描和分解, 从而识别出一个个单词, 得到对应的单词序列; ②进行语法分析, 即在词法分析的基础上将单词序列分解成各类语法短语。基于如表 1 所示的 XML 可扩展标记语言 EBNF 表达式的语法规则, 确定整个字符流是否构成一个语法上正确的程序, 并得到对应的语法短语; ③进行语义分析, 即在语法分析的基础上审核源代码有无语义错误, 生成 XML 描述对应的类型信息; ④ XML 解析, 即在语法分析和语义分析的基础上, 将 FPGA 结构描述文件生成以 `<architecture>` 为根结点的树状结构; ⑤对树状结构的 `<complexblocklist>` 逻辑复合块对应的子树进行递归遍历, 构建 `<complexblocklist>` 逻辑复合块对应的线网; ⑥调用转换算法库中的转换算法, 转换为线网对应的布线资源图, 用于后续的 FPGA 布局布线。

表1 XML 可扩展标记语言的 EBNF 表达式
Table 1 The EBNF expression of XML extensible markup language standard

序号	XML 标准的 EBNF 表达式
1	Element::=EmptyElementTag StartTag Content EndTag
2	EmptyElementTag::='<' Name (S Attribute)* S? '>'
3	StartTag::='<' Name (S Attribute)* S? '>'
4	Content::=(Element CharData Reference CDsect PI Commenet)*
5	EndTag::='</' Name S? '>'
6	Attribute::= Name Equal AttributeValue

3.2 FPGA 逻辑块结构线网到布线资源图转换算法

FPGA 逻辑块结构线网到布线资源图转换算法的主要思想是：从顶层逻辑复合模块 <complexblocklist> 开始，自顶向下地递归遍历 FPGA 逻辑块结构线网的模块，依次处理每个逻辑单元子模块。首先，构建当前逻辑单元 pb_type 的数据结构，记录当前逻辑单元模块的双亲结点；接着，依次处理逻辑单元块 pb_type 的每个端口连接，构建端口 port 列表的数据结构；然后，递归遍历树状结构 FPGA 逻辑块结构线网的模块，依次处理每个逻辑单元子模块，构建逻辑单元子模块列表的数据结构；最后，依次处理逻辑单元块 pb_type 的每个内部连接，构建内部连接 interconnect 列表的数据结构。FPGA 逻辑块结构线网到布线资源图转换算法的详细步骤如下：

步骤 1：从顶层的<complexblocklist>逻辑复合模块开始，递归遍历树状结构 FPGA 逻辑块结构线网的模块，依次处理每个逻辑单元子模块，构建逻辑单元子模块列表的数据结构；

步骤 1.1：构建当前逻辑单元 pb_type 的数据结构，记录当前逻辑单元模块的双亲结点(parent)；

步骤 1.2：依次处理逻辑单元块 pb_type 的每个端口连接(port)，构建端口 port 列表的数据结构；

步骤 1.3：递归遍历树状结构 FPGA 逻辑块结构线网的模块，依次处理每个逻辑单元子模块，构建逻辑单元子模块列表的数据结构；

步骤 1.4：依次处理逻辑单元块 pb_type 的每个内部连接(interconnect)，构建内部连接 interconnect 列表的数据结构；

步骤 1.4.1：分析内部连接的 input 字符串，构建 input 端口的数据结构；

步骤 1.4.2：分析内部连接的 output 字符串，构建 output 端口的数据结构；

步骤 1.4.3：按照全互连(complete)、直连(direct)、多路选择连接(mux)三种类型，构建内部连接 interconnect 列表的数据结构；

3.3 FPGA 逻辑块结构线网到布线资源图转换算法的时间复杂度分析

该转换算法将 FPGA 逻辑块结构对应的线网看作树状结构，采用自顶向下的思路递归遍历树状结构的 VLSI 线网，依次构建端口列表、逻辑单元子模块列表、内部连接列表的数据结构，将其转换为 FPGA 的布线资源图。设 FPGA 逻辑块结构线网中逻辑单元数为 m ，内部连接数为 t ，所有内部连接的端口连接数为 n 。该转换算法中步骤 1 循环次数为 m ；步骤 1.4 外循环次数为 t ，步骤 1.4.3 内循环次数等价于所有内部连接的端口连接数为 n ，因此整个算法的时间复杂度为 $O(m \times n)$ 。

4 FPGA 结构描述文件到布线资源图的转换实验

针对 FPGA 结构描述文件到布线资源图的转换实验，选用的测试基准为 Xilinx 公司 Virtex-6 型号 Slice 的 FPGA 结构描述文件。Virtex-6 型号 FPGA 的 Slice 由 4 个六输入的查找表 LUT、4 个大触发器 FF 或锁存器 LATCH、4 个小触发器 FF、多路转换器 MUX、运算进位逻辑 CARRY 构成。Slice 中的每个 LUT 对应一个触发器，或选择性地配置为锁存器，且其他 4 个触发器保持未使用状态；或选择性地寄存于触发器中。Slice 的算术逻辑包括 1 个异或门 XORG，用于实现 2bit 全加操作；还包括 1 个专用与门 MULTAND，用于提高乘法器的效率。Slice 的进位逻辑由函数复用器 MUXC 和专用进位信号组成，用于实现快速的算术加减法操作^[8]。文献[5]不仅给出了该 FPGA 内部 Slice 结构模型图，而且还给出了该 Slice 结构模型的主要结构描述代码。

该 FPGA 内部 Slice 结构模型的结构描述文件到布线资源图的转换实验数据如表 2 所示，其中逻辑单元子模块列表包括 4 组 6 位 LUT 模块等；端

口列表中输入端口包含 4 组数据信号等; 输出端口包含 4 组数据信号等; 时钟端口包含 1 位时钟信号 CLK; 内部连接列表中全互连连接包括 3 个 1*8 位全互连; 位直接连接包括 2 个 24*24 位直连等; 多路选择连接包括 4 个 2 选 1 多路选择等。

表 2 Virtex-6 型号 slice 模型的结构描述文件到布线资源图的转换实验数据

Table 2 The experimental data of translate the slice model's architecture description file into interconnection resource graph

布线资源图列表 List		列表 List 所包含的内容
逻辑单元子模块列表 List		4 组 6 位逻辑模块 LUT、4 组 1 位运算进位逻辑 CARRY、4 组 1 位小触发器 FF、4 组 1 位大触发器 FF
端口列表 List	输入端口列表 List	4 组数据输入信号、1 位置位复位信号 SR、1 位使能信号 CE、1 位进位信号 CIN、1 位时钟信号 CLK
	输出端口列表 List	4 组数据输出信号、1 位进位信号 COUT
	时钟端口列表 List	1 位时钟信号 CLK
内部连接列表 List	全互连连接 List	3 个 1*8 位全互连
	位直接连接 List	2 个 24*24 位直连、1 个 4*4 位直连、1 个 1*1 位直连、4 个 1*1 位直连、3 个 1*1 位直连、6 个 1*1 位直连、3 个 1*1 位直连、1 个 1*1 位直连、4 个 1*1 位直连和 4 个 1*1 位直连
	多路选择连接 List	4 个 2 选 1 多路选择、4 个 5 选 1 多路选择、4 个 6 选 1 多路选择、1 个 3 选 1 多路选择、1 个 3 选 1 多路选择、1 个 5 选 1 多路选择、1 个 2 选 1 多路选择和 4 个 2 选 1 多路选择

5 结束语

本文采用有向图的形式来构建 FPGA 布线资源图, 描述 FPGA 的拓扑结构, 包括布线资源以及布线资源之间的连接关系。其中, FPGA 的每个逻辑块端口或互连线段对应于布线资源图的顶点, FPGA 的逻辑块端口与互连线段、互连线段之间的可编程通路构成了布线资源图的有向边集。本文针对 FPGA 结构描述文件到布线资源图转换的需要, 解析 VPR 的结构描述文件以获得 FPGA 芯片内部的通道、开关、逻辑资源、布线资源等结构信息。进而, 本文探讨了 FPGA 结构描述文件到布线资源图转换系统的实现流程, 不仅给出了结构描述文件编译所需的 EBNF 表达式, 而且给出了 FPAG 结构

描述中<complexblocklist>逻辑块结构线网到布线资源图的自顶向下转换算法, 并进行了相应的时间复杂度分析。最后, 本文在 Windows 平台下用 C++ 设计实现了转换系统, 并选用 Virtex-6 型号 Slice 结构测试用例, 实现了 FPGA 结构描述文件到布线资源图的转换, 验证了 FPGA 结构描述文件到布线资源图的自顶向下转换算法的有效性。

参考文献:

- [1] ITRS. International Technology Roadmap for Semiconductors (ITRS) Update Overview [R]. 2015 Edition, Available on the WWW at URL <http://www.itrs2.net/>.
- [2] Betz V, Rose J. VPR: A new packing, placement and routing tool for FPGA research[C]. International Workshop on Field Programmable Logic and Applications. Springer Berlin Heidelberg, 1997: 213-222.
- [3] L. Jason, T. Liu, B. Vaughn, A. Jason, R. Jonathan. VPR User's Manual, Version 7.0 [EB/OL]. <http://www.eecg.utoronto.ca/vpr/vpr.html>. Nov. 2013.
- [4] 胡敏. FPGA 结构描述方法的研究[D]. 上海: 复旦大学, 2012.
- [5] 冷明, 孙凌宇, 周宇, 等. VPR 的 FPGA 结构描述文件的解析研究[J]. 井冈山大学学报: 自然科学版, 2017, 38(1): 49-55.
- [6] Betz V, Rose J. Automatic generation of FPGA routing architectures from high-level descriptions[C]. Proceedings of the 2000 ACM/SIGDA eighth international symposium on Field programmable gate arrays. ACM, 2000: 175-184.
- [7] Luu J, Anderson J H, Rose J S. Architecture description and packing for logic blocks with hierarchy, modes and complex interconnect[C]. Proceedings of the 19th ACM/SIGDA international symposium on Field programmable gate arrays. ACM, 2011: 227-236.
- [8] Xilinx Inc. Xilinx Virtex-6 Family Overview [R]. 2009 Edition, Available on the WWW at URL http://www.xilinx.com/support/documentation/data_sheets/ds150.pdf.